



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tomohisa KIMURA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE ANALYZER, METHOD FOR ANALYZING/MANUFACTURING SEMICONDUCTOR DEVICE, AND STORAGE MEDIUM STORING PROGRAM FOR ANALYZING SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-087643	March 27, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

Marvin J. Spivak
Registration No. 24,913

Docket No. 205129US2RD

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR(S) Tomohisa KIMURA, et al.

SERIAL NO: New Application

FILING DATE: Herewith

FOR: SEMICONDUCTOR DEVICE ANALYZER, METHOD FOR ANALYZING/MANUFACTURING
SEMICONDUCTOR DEVICE, AND STORAGE MEDIUM STORING PROGRAM FOR ANALYZING
SEMICONDUCTOR DEVICE

#2
9/26/01
11040 U.S. PTO
09/816099
03/26/01

FEE TRANSMITTAL

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

FOR	NUMBER FILED	NUMBER EXTRA	RATE	CALCULATIONS
TOTAL CLAIMS	20 - 20 =	0	× \$18 =	\$0.00
INDEPENDENT CLAIMS	4 - 3 =	1	× \$80 =	\$80.00
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIMS (If applicable)			+ \$270 =	\$0.00
<input type="checkbox"/> LATE FILING OF DECLARATION			+ \$130 =	\$0.00
BASIC FEE				\$710.00
TOTAL OF ABOVE CALCULATIONS				\$790.00
<input type="checkbox"/> REDUCTION BY 50% FOR FILING BY SMALL ENTITY				\$0.00
<input type="checkbox"/> FILING IN NON-ENGLISH LANGUAGE			+ \$130 =	\$0.00
<input type="checkbox"/> RECORDATION OF ASSIGNMENT			+ \$40 =	\$0.00
TOTAL				\$790.00

- ☐ Please charge Deposit Account No. 15-0030 in the amount of _____ A duplicate copy of this sheet is enclosed.
- ☒ A check in the amount of **\$790.00** to cover the filing fee is enclosed.
- ☒ The Commissioner is hereby authorized to charge any additional fees which may be required for the papers being filed herewith and for which no check is enclosed herewith, or credit any overpayment to Deposit Account No. 15-0030. A duplicate copy of this sheet is enclosed.

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913

Date:



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/00)

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1040 U.S. PRO
09/816099
03/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 3月27日

出 願 番 号
Application Number:

特願2000-087643

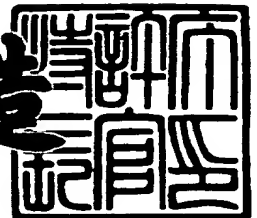
出 願 人
Applicant(s):

株式会社東芝

2000年11月17日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3096530

【書類名】 特許願

【整理番号】 13B001001

【提出日】 平成12年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/02
H01L 21/66
G06F 9/455
G06G 3/10
G06G 7/625

【発明の名称】 半導体集積回路解析装置、半導体集積回路解析方法及び
半導体集積回路解析方法を実行するためのプログラムを
記録した記録媒体

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 株式会社東芝 研究
開発センター内

【氏名】 木村 智寿

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 株式会社東芝 研究
開発センター内

【氏名】 奥村 万規子

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路解析装置、半導体集積回路解析方法及び半導体集積回路解析方法を実行するためのプログラムを記録した記録媒体

【特許請求の範囲】

【請求項 1】 表面に半導体集積回路が形成される半導体基板中の 3 次元メッシュが構成する回路網モデルを読み取るサブストレートモデル読取手段と、

読み取った回路網モデルが構成する Y 行列の各要素を、微分演算子 s の多項式で表現する Y 行列エントリー手段と、

前記回路網モデルにおいて、消去すべき内部ノードと残すべき外部ノードの判別をする内部ノード／外部ノード判別手段と、

前記内部ノードを消去しながら、前記 Y 行列の縮約処理を実行する行列縮約手段

とを少なくとも有することを特徴とする半導体集積回路解析装置。

【請求項 2】 前記微分演算子 s の多項式の次数の上限値を設定する入力部を更に具備することを特徴とする請求項 1 記載の半導体集積回路解析装置。

【請求項 3】 回路シミュレータの入力形式のデータの内から、表面に半導体集積回路が形成される半導体基板中の 3 次元メッシュが構成する回路網モデルを読み取る段階と、

読み取った回路網モデルが構成する Y 行列の各要素を、微分演算子 s の多項式で表現する段階と、

前記回路網モデルにおいて、消去すべき内部ノードと残すべき外部ノードの判別をする段階と、

前記内部ノードを消去しながら、前記 Y 行列の縮約処理を実行する段階

とを少なくとも有することを特徴とする半導体集積回路解析方法。

【請求項 4】 前記微分演算子 s の多項式の次数の上限値を、外部から設定する段階を更に具備することを特徴とする請求項 3 記載の半導体集積回路解析方法。

【請求項 5】 回路シミュレータの入力データ形式のデータを入力し、半導体集積回路の解析をする半導体集積回路解析装置を制御するためのプログラムで

あって、

前記回路シミュレータの入力形式のデータの内から、表面に半導体集積回路が形成される半導体基板中の 3 次元メッシュが構成する回路網モデルを読み取る段階と、

読み取った回路網モデルが構成する Y 行列の各要素を、微分演算子 s の多項式で表現する段階と、

前記回路網モデルにおいて、消去すべき内部ノードと残すべき外部ノードの判別をする段階と、

前記内部ノードを消去しながら、前記 Y 行列の縮約処理を実行する段階

とを少なくとも含む半導体集積回路解析方法を実行するためのプログラムを記録した記録媒体。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は半導体集積回路の解析装置に係り、特にその表面に半導体集積回路のパターンが形成されている半導体基板に内在する寄生素子の影響を含めた解析を効率的に行なう半導体集積回路解析方法、この半導体集積回路解析方法を実行する半導体集積回路解析装置、及びこの半導体集積回路解析方法を実行するためのプログラムを記録した記録媒体に関する。

【 0 0 0 2 】

【従来の技術】

高周波アナログ回路やアナデジ（アナログディジタル）混在回路及び高速ディジタル回路は、シリコン（S i）やガリウム砒素（G a A s）等の半導体集積回路は、半導体基板の表面近傍にフォトリソグラフィ技術等により描画した微細なパターンを用いて形成されている。これらの複雑高度化した高周波アナログ回路、アナデジ混在回路及び高速ディジタル回路等の半導体集積回路においては、半導体集積回路の特性評価を、実物を作成して、その実物の特性を測定し評価を行なうのでは、膨大な時間の無駄と、膨大な費用の無駄を発生させる恐れがあり、好ましくない。このため、微細化され高集積密度化され半導体集積回路の製造

工程においては、製造しようとする半導体集積回路の物理的、電氣的、或いは回路的な挙動を、前もって解析し、特性を確認してから現実の製造工程を開始するのが必須となりつつある。特に、高周波アナログ回路、アナデジ混在回路及び高速ディジタル回路等の半導体集積回路の動作においては、信号が半導体集積回路の半導体基板（サブストレート）を介して漏れ込む現象の影響等が問題となっていて、そこでこれらの半導体集積回路を設計する際には半導体集積回路の基板に内在する寄生素子の影響も、正確且つ迅速に解析し、検討しなければならない。

【0003】

この半導体集積回路の解析結果に相当量の計算誤差が含まれていれば、当然、これを用いた半導体集積回路の製造工程に不具合を発生させる。例えば、数週間程度以上を必要とする長く、しかも複雑な製造工程を経て試作品が完成された後に、その特性等に不具合が発生すれば、再び設計をし直し、再び、長時間かつ複雑な製造工程を繰り返さなければならず、時間とランニングコストが無駄に消費されてしまう。このように、半導体集積回路の解析の精度の向上は、直接半導体集積回路の製造の期間の短縮化にもつながるため非常に重要である。もとより、設計の失敗によって失われた時間は回復することは出来ないのである。特に半導体産業においては、より高性能の半導体集積回路の開発が競われているが、最も重要なのはこの半導体集積回路の開発の速度であるため、設計、開発期間の短縮は極めて重要である。

【0004】

B. R. スタニシク (B. R. Stanisic)らは、半導体基板（サブストレート）部分を、抵抗が3次元的につながった抵抗網としてモデル化し、回路シミュレータで解析することの有効性を示している（米国電気電子学会（IEEE）ジャーナル・オブ・ソリッド・ステート・サーキット（Journal of Solid-State Circuits）第9巻、第3号、第226頁乃至第238頁、1994年、3月号参照。）。このB. R. スタニシクらの解析方法によれば、抵抗網モデルの精度は、抵抗網を構成する3次元メッシュの細かさに依存している。精度向上の目的で細かな3次元メッシュをとると、半導体基板（サブストレート）部分だ

けでも大規模な回路になってしまう。すると回路シミュレータでの解析に、現実の製造工程よりも長い時間が掛かったり、計算機の条件によっては解析が出来なくなることもある。

【 0 0 0 5 】

そこで、サブストレートモデルの回路規模を削減する方法がある。これは、半導体基板中に設けられた 3 次元メッシュからなる抵抗網モデルの内、トランジスタ等のデバイスや電源或いはグランドコンタクトに直接つながらないメッシュの頂点、即ちノードを消去しようとするものである。サブストレートモデルは、半導体基板の 3 次元メッシュで区切られた小さな立方体を単位として、この小さな立方体の集合体として表現されている。本発明においては、半導体基板中に設けられた小さな立方体の頂点（ノード）で、この小さな立方体の集合体となった大きな立方体の表面部分に出ないノードを「内部ノード」と呼び、この大きな立方体の表面部分に位置するノードを「外部ノード」と呼ぶこととする。

【 0 0 0 6 】

サブストレートモデルの回路規模を削減するためには、サブストレートモデルのを構成している 3 次元メッシュからなる抵抗網モデルのアドミッタンス（Y パラメータ）行列を求め、行列演算により外部ノードの数の次元を持つ規模の小さい等価な行列を求めることが出来る。即ち、半導体基板中に設けられた 3 次元メッシュからなるサブストレートモデル部分の全体に n 個のノードがあり、その内の m 個のノードが、表面のデバイスを構成する半導体領域や配線層等とつながる外部ノード、 $n - m$ 個が半導体基板（サブストレート）内部にある内部ノードであるとする。このとき、半導体基板中に設けられた 3 次元メッシュが構成するアドミッタンス行列（以下において「Y 行列」という。）を

【数 1】

$$Y = \begin{bmatrix} Y_{11} & \cdots & Y_{1m} & Y_{1m+1} & \cdots & Y_{1n} \\ \vdots & & \vdots & \vdots & & \vdots \\ Y_{m1} & \cdots & Y_{mm} & Y_{mm+1} & \cdots & Y_{mn} \\ Y_{m+11} & \cdots & Y_{m+1m} & Y_{m+1m+1} & \cdots & Y_{m+1n} \\ \vdots & & \vdots & \vdots & & \vdots \\ Y_{n1} & \cdots & Y_{nm} & Y_{nm+1} & \cdots & Y_{nn} \end{bmatrix} \quad \cdots (1)$$

のように書き表す。そして、次の（２）式乃至（５）式で示される部分行列

【数 2】

$$A = \begin{bmatrix} Y_{11} & \cdots & Y_{1m} \\ \vdots & & \vdots \\ Y_{m1} & \cdots & Y_{mm} \end{bmatrix} \quad \cdots (2)$$

$$B = \begin{bmatrix} Y_{1m+1} & \cdots & Y_{1n} \\ \vdots & & \vdots \\ Y_{mm+1} & \cdots & Y_{mn} \end{bmatrix} \quad \cdots (3)$$

$$C = \begin{bmatrix} Y_{m+11} & \cdots & Y_{m+1m} \\ \vdots & & \vdots \\ Y_{n1} & \cdots & Y_{nm} \end{bmatrix} \quad \cdots (4)$$

$$D = \begin{bmatrix} Y_{m+1m+1} & \cdots & Y_{m+1n} \\ \vdots & & \vdots \\ Y_{nm+1} & \cdots & Y_{nn} \end{bmatrix} \quad \cdots (5)$$

を考える。この（２）式乃至（５）式で示される部分行列を使うと、（１）式で示される Y 行列は、

【数 3】

$$Y = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \quad \dots\dots (6)$$

となる。これにより、次の (7) 式で求められるような m 次元の等価な行列 Y'

$$Y' = A - B D^{-1} C \quad \dots\dots (7)$$

が得られる。

【0007】

この計算により、半導体集積回路が構成されている半導体基板（サブストレート）部分を表す回路網を、より次元の小さい等価な行列に縮約出来ることがわっている。

【0008】

しかし、この方法は、次の理由で実用的ではない。例えば、CMOS 集積回路を例にすれば、半導体基板（サブストレート）の表面近傍には pMOS トランジスタを形成するための n ウェル、nMOS トランジスタを形成するための p ウェルのように不純物の極性の異なる部分が、所定のレイアウトで配置されている。そして、不純物の極性の異なる部分の界面、即ち p n 接合界面には、接合容量が存在し、その境界部分に容量素子が存在する。従って、n ウェルに位置するノード i と p ウェルに位置するノード j 間のアドミッタンス (y パラメータ) には、容量成分を含める必要がある。即ち、現実の半導体集積回路を構成している半導体基板中に設けられた 3 次元メッシュが構成するアドミッタンスは、

$$Y_{ij} = g_{ij} + j \omega c_{ij} \quad \dots\dots (8)$$

であるから、アドミッタンスの値には周波数依存性がある。ここで g_{ij} は抵抗値 r_{ij} [Ω] を持つ抵抗のトランスコンダクタンス $g_{ij} = 1 / r_{ij}$ であり、 c_{ij} は容量素子の容量値 c_{ij} [F]、 ω は角周波数を表している。上記の行列計算を計算機上で実現するためには、各行列要素を数値に直す必要がある。すると解析したい角周波数 ω 毎にこの計算をしなければならないために、計算が大規模化し、解析の効率が悪い。

【 0 0 0 9 】

この問題を避けるために上式を記号のまま計算することが考えられるが、そもそも大規模なものを削減する目的であるので、変数の数が数千を超える複雑な計算式になってしまいプログラム化するのは事実上不可能である。

【 0 0 1 0 】

【発明が解決しようとする課題】

このように、半導体基板の表面に形成された半導体集積回路のレイアウトに起因する半導体基板中の寄生素子の影響を正確に解析するためには、半導体基板中に設けられた3次元メッシュとして、抵抗素子だけでなく、容量素子を考慮する必要がある。しかし、半導体基板中に設けられた3次元メッシュが構成するアドミッタンスを、抵抗素子や容量素子等を使ってモデル化した場合、ノード数の増大という問題だけでなく、アドミッタンスの値には周波数依存性を考慮する必要が生じる。このため、その解析に多大な時間を要したり解析が出来なくなるといった問題が起こる。従って、従来は、半導体基板中の寄生素子の影響を正確に解析することが困難で、半導体集積回路の設計を効率的に行なうことが困難であった。

【 0 0 1 1 】

また、Y行列の縮約操作により不要なノードの影響を消去する従来方法があったが、この従来方法は、実用的ではなかった。

【 0 0 1 2 】

そこで本発明の目的は、上記従来の半導体基板中の寄生素子の影響を解析する計算の大規模化を回避し、効率的な解析が可能な半導体集積回路の解析装置を提供することである。

【 0 0 1 3 】

本発明の他の目的は、半導体基板中に設けられた3次元メッシュとして、抵抗素子だけでなく、容量素子をも考慮して、効率的に、且つ正確に寄生素子の影響を解析することが可能な半導体集積回路の解析方法を提供することである。

【 0 0 1 4 】

本発明の更に他の目的は、半導体基板中に設けられた3次元メッシュが構成す

る回路網を、抵抗素子や容量素子等を使ってモデル化した場合のノード数の増大を抑制し、且つ、回路網のアドミッタンスの値には周波数依存性を考慮した解析を短時間で実現出来る半導体集積回路の解析方法を提供することである。

【0015】

本発明の更に他の目的は、半導体基板中の寄生素子の影響を解析する計算の大規模化を回避し、効率的な解析が可能な半導体集積回路の解析方法実行するためのプログラムを記録した記録媒体を提供することである。

【0016】

【課題を解決するための手段】

上記目的を達成するために本発明の第1の特徴は、サブストレートモデル読取手段と、Y行列エントリー手段と、内部ノード／外部ノード判別手段と、行列縮約手段とを少なくとも有する半導体集積回路解析装置であることである。ここで、サブストレートモデル読取手段は、本発明の半導体集積回路解析装置に入力された入力データの内から、表面に半導体集積回路が形成される半導体基板中の3次元メッシュが構成する回路網モデルを読み取る。Y行列エントリー手段は、この読み取った回路網モデルが構成するY行列（アドミッタンス行列）の各要素を、微分演算子 s の多項式で表現する。内部ノード／外部ノード判別手段は、読み取った回路網モデルにおいて、消去すべき内部ノードと残すべき外部ノードの判別をする。そして、行列縮約手段は、内部ノードを消去しながら、Y行列の縮約処理を実行する。周知のように、回路網の計算においては、微分演算子 s を用いて複雑な微分・積分方程式の解を代数的に解くことが可能である。角周波数 ω を用いると、微分演算子 s は複素角周波数 $j\omega$ で示される。即ち、本発明においては、回路網理論で、一般に用いられている $s = j\omega$ の関係をを用いて、複素記号演算（ベクトル記号演算）により周波数領域解析を行なうのである。

【0017】

本発明の第1の特徴に係る半導体集積回路解析装置によれば、半導体集積回路が形成される半導体基板中の3次元メッシュが構成する回路網の各ノードを、消去すべき内部ノードと残すべき外部ノードに分け、内部ノードを消去しながら、Y行列の縮約処理を実行しているので、計算の複雑さやメモリ資源（データ記憶

部)の増大を必要とせず、短時間で演算処理が実行出来る。即ち、本発明の第1の特徴に係る半導体集積回路解析装置においては、内部ノード数の次元を持つ行列の逆行列を求めるのではなく、行列縮約手段は、Y行列の行及び列にある要素を消去しながら内部ノードを一つずつ減らしていく方法をとっている。これによりY行列の各要素が微分演算子 s の多項式で表現された行列の逆行列を求める必要がなくなり、簡単に演算処理が実行出来る。例えば、半導体基板(サブストレート)上に作られる半導体集積回路の構造と結びついているノード、即ち、半導体基板やウェルの電位を決めるために電源やグランドとつながる電極領域(高不純物密度領域)の部分、更にポリシリコンや金属配線等の各種表面配線と容量性の結合を介してつながっている半導体基板部分等に位置する回路網のノードが外部ノードして残され、ノードの縮約が出来る。従って、半導体基板中の3次元メッシュが構成する複雑な回路網を、これに等価或いは近似した小規模なデータ(ネットリスト)に効率良く変換出来るために、回路シミュレーションによりそれらの寄生素子の影響の解析を効率的に行なうことが出来る。これによりLSI, VLSI, ULSI, GSI等の大規模な回路においても、表面配線等の集積回路パターンに対応して半導体基板の内部に発生する寄生素子の影響の解析を、短時間で正確に実行することが可能となる。

【0018】

本発明の第1の特徴に係る半導体集積回路解析装置において、半導体基板中の3次元メッシュが構成する回路網は、抵抗素子のみで構成されていても良く、抵抗素子と容量素子からなる回路網でもかまわない。或いは線形素子のみによって構成される回路、或いは多端子網を記述する回路行列によって表現されていてもかまわない。容量素子を含むと(8)式で示したように、Y行列の各要素が周波数 ω 成分を含み、解析したい角周波数 ω 毎にこの計算をしなければならないために、従来は計算が大規模化し、解析の効率が悪かった。しかし、本発明の第1の特徴に係る半導体集積回路解析装置においては、ノードの縮約により、計算の複雑化が防止出来る。

【0019】

特に、本発明の第1の特徴に係る半導体集積回路解析装置において、微分演算

子 s の多項式の次数の上限値を設定する入力部を更に具備することが好ましい。解析する周波数とモデル化の許容誤差の値により、例えば、許容誤差を 5 % とするか 1 0 % とするかにより、微分演算子 s の多項式の次数の上限値を決め、その上限値を入力部から半導体集積回路の解析者によって入力することが出来る。また、高レベルモデルにするのか、中レベルモデルにするのか、或いは低レベルモデルにするのかという誤差の程度から、微分演算子 s の多項式の次数の上限値を決め、その上限値を入力部から半導体集積回路の解析者によって入力することが出来る。更に、微分演算子 s の多項式の次数 n の値はその集積回路のデバイス構造を参考にして決めることが出来る。ツインウェルやトリプルウェルや S O I や埋め込み層やトレンチの存在により、必要な多項式の次数は変わってくる。半導体集積回路の解析者は、各構造の最適な次数を決め、入力部から入力すれば良い。

【 0 0 2 0 】

本発明の第 1 の特徴に係る半導体集積回路解析装置において、計算結果の出力形式を決定する出力形態決定手段を更に有することが好ましい。出力形態決定手段は、抵抗網に還元する方法、抵抗素子と容量素子から構成される R C 回路網に還元する方法、多端子回路網の回路行列として扱う方法、フィルタ回路として R C 或いは R C L 回路網に還元する方法等の出力形態を決定することが出来る。また、出力データの形態にはデフォルトの形態を持たせ、入力手段から解析者によって入力される指示に従って出力データの形態を変更する機能を有するようにしても良い。更に、入力手段から解析者によって入力される精度レベルの値と、アドミッタンスの値と解析周波数の値から出力データの形態を変更するようにしても良い。

【 0 0 2 1 】

本発明の第 2 の特徴は、（イ）回路シミュレータの入力形式のデータの内から、表面に半導体集積回路が形成される半導体基板中の 3 次元メッシュが構成する回路網モデルを読み取る段階と、（ロ）読み取った回路網モデルが構成する Y 行列の各要素を、微分演算子 s の多項式で表現する段階と、（ハ）読みとった回路網モデルにおいて、消去すべき内部ノードと残すべき外部ノードの判別をする段

階と、(二) 内部ノードを消去しながら、Y行列の縮約処理を実行する段階とを少なくとも有することを特徴とする半導体集積回路解析方法であることである。

【0022】

本発明の第2の特徴に係る半導体集積回路解析方法によれば、半導体基板中の3次元メッシュが構成する回路網の各ノードを、消去すべき内部ノードと残すべき外部ノードに分け、内部ノードを消去しながら、Y行列の縮約処理を実行しているので、計算の複雑さやメモリ資源（データ記憶部）の増大を必要とせず、短時間で演算処理が実行出来る。即ち、行列の各要素が微分演算子 s の多項式で表現された行列の逆行列を求める必要がないので、簡単に演算処理が実行出来る。そして、半導体基板中の3次元メッシュが構成する複雑な回路網を、これに等価或いは近似した小規模なデータ（ネットリスト）に効率良く変換出来るために、回路シミュレーションによりそれらの寄生素子の影響の解析を効率的に行なうことが出来る。本発明の第2の特徴に係る半導体集積回路解析装置において、半導体基板中の3次元メッシュが構成する回路網は、抵抗素子のみで構成されていても良く、抵抗素子と容量素子からなる回路網でもかまわない。或いは線形素子のみによって構成される回路、或いは多端子網を記述する回路行列によって表現されていてもかまわない。本発明の第2の特徴に係る半導体集積回路解析装置によれば、3次元メッシュが構成する回路網のノードが有効に縮約されるので、容量素子を含む場合であっても、計算の複雑化が防止出来る。

【0023】

特に、本発明の第2の特徴に係る半導体集積回路解析装置において、微分演算子 s の多項式の次数の上限値を外部から設定する段階を更に具備することが好ましい。解析する周波数とモデル化の許容誤差の値により、或いは採用するモデルの誤差の程度から、多項式の次数の上限値を決め、その上限値を入力部から半導体集積回路の解析者によって入力することが出来る。更に、多項式の次数 n の上限値は、その集積回路のデバイス構造を参考にして決めることが出来る。

【0024】

本発明の第2の特徴に係る半導体集積回路解析装置において、計算結果の出力形式を決定する段階を更に有することが好ましい。例えば、抵抗網に還元する方

法、抵抗素子と容量素子から構成されるRC回路網に還元する方法、多端子回路網の回路行列として扱う方法、フィルタ回路としてRC或いはRCL回路網に還元する方法等の出力形態を決定することが出来る。また、出力データの形態にはデフォルトの形態を持たせ、入力手段から解析者によって入力される指示に従って出力データの形態を変更する機能を有するようにしても良い。更に、入力手段から解析者によって入力される精度レベルの値と、アドミッタンスの値と解析周波数の値から出力データの形態を変更するようにしても良い。

【 0 0 2 5 】

本発明の第1の特徴で述べた解析方法を実現するためのプログラムは、コンピュータ読み取り可能な記録媒体に保存し、この記録媒体をコンピュータシステムによって読み込ませることにより、本発明の解析を実行することが出来る。即ち、本発明の第3の特徴は、(イ)回路シミュレータの入力形式のデータの内から、表面に半導体集積回路が形成される半導体基板中の3次元メッシュが構成する回路網モデルを読み取る段階と、(ロ)読み取った回路網モデルが構成するY行列の各要素を、微分演算子 s の多項式で表現する段階と、(ハ)読みとった回路網モデルにおいて、消去すべき内部ノードと残すべき外部ノードの判別をする段階と、(ニ)内部ノードを消去しながら、Y行列の縮約処理を実行する段階とを少なくとも含む半導体集積回路解析方法を実行するためのプログラムを記録した機械読み取り可能な記録媒体であることである。ここで、「記録媒体」とは、例えばコンピュータの外部メモリ装置、半導体メモリ、磁気ディスク、光ディスク、光磁気ディスク、磁気テープなどのプログラムを記録することが出来るような媒体などを意味する。具体的には、フロッピーディスク、CD-ROM、MOディスク、カセットテープ、オープンリールテープなどが「記録媒体」に含まれる。

【 0 0 2 6 】

【発明の実施の形態】

次に、図面を参照して、本発明の半導体集積回路の解析装置、解析方法及びこの解析方法実行するためのプログラムを記録した記録媒体を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なるものが含まれていることに留意すべきである。

【 0 0 2 7 】

(半導体集積回路の解析装置)

図 1 に示すように、本発明の半導体集積回路解析装置は、操作者からのデータや命令などの入力を受け付ける入力部 6 3 と、半導体基板中に設けられた 3 次元メッシュが構成するアドミッタンスを解析する演算処理部 6 6 と、解析結果を出力する出力部 6 1 及び表示部 6 2 と、半導体集積回路の解析に必要な所定のデータなどを格納したデータ記憶部 6 5 と、半導体集積回路解析プログラムなどを格納したプログラム記憶部 6 4 とから少なくとも構成されている。

【 0 0 2 8 】

図 1 において、入力部 6 3 はキーボード、マウス、ライトペン又はフロッピーディスク装置などで構成される。入力部 6 3 より解析実行者は、入出力データを指定したり、微分演算子 s の多項式の次数や周波数値や許容誤差の値及び誤差の程度を設定できる。更に、入力部 6 3 より出力データの形態等の解析パラメータを設定することも可能で、また、演算の実行や中止等の指示の入力も可能である。また出力部 6 1 及び表示部 6 2 は、それぞれプリンタ装置及びディスプレイ装置等により構成されている。表示部 6 2 は入出力データや解析結果や解析パラメータ等を表示する。データ記憶部 6 5 は入出力データや解析パラメータ及びその履歴や演算途中のデータ等を記憶する。

【 0 0 2 9 】

本発明の半導体集積回路の解析の主なる処理は、演算処理部 6 6 において行なう。演算処理部 6 6 は、図 1 に示すように、サブストレートモデル読取手段 6 0 1、Y 行列エントリー手段 6 0 2、内部ノード／外部ノード判別手段 6 0 3、行列縮約手段 6 0 4、出力形態決定手段 6 0 5 等を少なくとも内蔵している。ここで、サブストレートモデル読取手段 6 0 1 は、半導体集積回路解析装置に入力された入力データの内から演算に必要な部分を読み取る。即ち、入力データの内から、表面に半導体集積回路が形成される半導体基板中の 3 次元メッシュが構成する回路網モデルを読み取る。Y 行列エントリー手段 6 0 2 は、読み取ったデータ

を、微分演算子 s の多項式の係数にエンタリーする。つまり、読み取った回路網モデルが構成する Y 行列（アドミッタンス行列）の各要素を、微分演算子 s の多項式で表現する。内部ノード／外部ノード判別手段 6 0 3 は、回路網モデルのノードの中で、消去すべき内部ノードと残すべき外部ノードの判別をする。そして、行列縮約手段 6 0 4 は、内部ノードを消去しながら、 Y 行列の縮約処理を実行する。そして、出力形態決定手段 6 0 5 は、計算結果の出力形式を決定する。周知のように、角周波数 ω を用いると、微分演算子 s は複素角周波数 $j \omega$ で示される。即ち、演算処理部 6 6 は、回路網理論で、一般に用いられている $s = j \omega$ の関係を用いて複素記号演算により周波数領域解析を行なうのである。これらの各手段 6 0 1 ～ 6 0 5 の機能は、後述する本発明の半導体集積回路解析方法において説明するが、本発明の演算処理部 6 6 は、回路シミュレーションの入力データを縮約して、それと等価或いは近似したデータに変換する処理に特徴がある。これは従来行列演算によって行なっていた不要なノードを削減する処理をより効率的に実行するためのものである。

【 0 0 3 0 】

図 1 に示した演算処理部 6 6、データ記憶部 6 5 及びプログラム記憶部 6 4 は CPU、及びこの CPU に接続された ROM、RAM、磁気ディスクなどの記憶装置を含む通常のコンピュータシステムで構成しても良く、サブストレートモデル読取手段 6 0 1、 Y 行列エンタリー手段 6 0 2、内部ノード／外部ノード判別手段 6 0 3、行列縮約手段 6 0 4、出力形態決定手段 6 0 5 等の専用のハードウェア（処理回路）を内蔵しても良い。

【 0 0 3 1 】

（半導体集積回路解析方法）

以下、図 1 に示した半導体集積回路解析装置を用いた本発明の半導体集積回路解析方法を、図 2 に示すフローチャートに従って、説明する。

【 0 0 3 2 】

（イ）始めに、ステップ S 1 0 1 において、半導体集積回路の解析に必要なパラメータを、入力部 6 3 を用いて設定する。必要なのは、入出力データ名やその形式に関する情報と、微分演算子 s の多項式の次数を決めるために必要なパラメ

ータ等である。これらのパラメータには予めデフォルトの名前や値を持たせておき、特に指定がされなかった場合には、そのデフォルトを使うことが可能である。

【 0 0 3 3 】

(ロ) 次に、ステップ S 1 0 2 において、データ記憶部 6 5 に入力データを読み込ませる。入力データは回路シミュレータの入力データの形式を持っている必要がある。入力データは、解析者がエディタを使って作成したものでも、CAD 上のレイアウトデータやスキマティックデータから発生させたものでも良い。以降、回路シミュレータの入力データ形式のものを「ネットリスト」と呼ぶ。

【 0 0 3 4 】

(ハ) 次に、ステップ S 1 0 3 において、演算処理部 6 6 は、データ記憶部 6 5 に読み込んだ入力データの中から、本発明の半導体集積回路の解析を行なうためのサブストレートモデルを表現している部分を判別させる。その方法には次のものがある。一つには、解析対象となる半導体集積回路の寄生モデルを含まないデータのネットリストと入力データを比較して特定する方法がある。他には、ネットリストの階層構造から半導体基板（サブストレート）上の半導体集積回路の構造と、半導体基板（サブストレート）の内部のサブストレートモデルとを判別する方法がある。ネットリストには「サブサーキット」という構造を単位とした部分があり、それには階層構造を持たせることがある。サブサーキットを使うと、同じ回路構造の集まりを効率良く表現出来るために、サブストレートモデルに関してもそれが使われる。例えば、サブストレートモデルの場合は、階層構造の最も下層のものは、抵抗素子や容量素子から構成される多端子回路網の単位となっているが、より上位のものはその単位の集まりとして表現されている。サブストレートモデル部分の最も上位の階層は、半導体基板上のデバイスと同じ階層に属している。

【 0 0 3 5 】

(ニ) 次に、ステップ S 1 0 4 において、演算処理部 6 6 のサブストレートモデル読取手段 6 0 1 を用いて、ステップ S 1 0 3 において判別したサブストレートモデル部分のデータを、データ記憶部 6 5 に読み取らせる。入力データが階層

構造を持っている場合は、以降の処理はその階層レベルの深さ分だけ繰り返される。

【 0 0 3 6 】

(ホ) ステップ S 1 0 4 において、データ記憶部 6 5 に読み取ったサブストレータモデルの回路網は、ステップ S 1 0 5 において、演算処理部 6 6 の Y 行列エントリー手段 6 0 2 を用いて、回路行列の形に変換される。ここで、回路行列は Y 行列である。例えばノード i とノード j 間に $r [\Omega]$ の抵抗が、ノード j とノード k の間に $c [F]$ の容量がある場合を考える。回路素子にはそれぞれ「スタンプ」と呼ばれる回路網の Y パラメータを表現しているテンプレートがある。抵抗、容量のそれは、各々、 $g = 1 / r$ 、微分演算子 $s = j \omega$ として、以下の (7) 式及び (8) 式で示されるスタンプが用意される。即ち、

【数 4】

$$\begin{bmatrix} g & -g \\ -g & g \end{bmatrix} \quad \dots\dots (7)$$

$$\begin{bmatrix} sc & -sc \\ -sc & sc \end{bmatrix} \quad \dots\dots (8)$$

となる。これを Y 行列の該当するノードの行及び列に加える。この操作を一般に、「スタンプをエントリーする」と表現する。この例の場合は、

【数 5】

$$\left[\begin{array}{ccc} \vdots & \vdots & \\ \cdots y_i + g & \cdots y_{ij} - g \cdots & \\ \vdots & \vdots & \vdots \\ y_{ij} - g \cdots y_i + g + s c \cdots y_p - s c \cdots & & \\ \vdots & \vdots & \vdots \\ & y_{ij} - s c & \cdots y_n + s c \cdots \\ & \vdots & \vdots \end{array} \right] \cdots (9)$$

となる。本発明の半導体集積回路解析装置の特徴の一つは、演算処理部 6 6 の有する Y 行列エントリー手段が、スタンプをエントリーすることにより、半導体基板中に設けられた 3 次元メッシュが構成する Y 行列の各要素を、次式 (10) で表す微分演算子 s の多項式で表現している点にある。即ち、

$$Y_{ij} = a_{0ij} + a_{1ij}s + a_{2ij}s^2 + a_{3ij}s^3 \quad (10)$$

となる。(10)式で示される Y パラメータ Y_{ij} は、例えば、 n ウェルに位置するノード i と p ウェルに位置するノード j 間のノード i とノード j の間のアドミッタンスの値である。微分演算子 s は、複素角周波数 ($s = j\omega$) である。微分演算子 s の次数は解析パラメータの一つになっており、ステップ S101 の初期設定の段階で、入力部 6 3 を用いて解析者によって決められている。その決め方には次のものがある。一つには、微分演算子 s の多項式の次数の値をそのまま入力する方法である。他には、解析する周波数とモデル化の許容誤差の値及び誤差の程度から決める方法がある。これは、半導体基板中に設けられた 3 次元メッシュが構成するサブストレートモデル内にある抵抗や容量の値から算出するものである。微分演算子 s の多項式の各々の次数の係数のオーダー(桁数)は、 g , c , c^2/g , ... であるので、モデル内に存在する r , c の値と解析する周波数の値を与えれば、各々の次数の項の影響を評価することが出来る。それにより微分演算子 s の多項式の次数を決定することが出来る。このときに、許容誤差の値(例えば 10% 等)や、モデルの精度レベルで決めておいた誤差の程度と比較して、その

項の影響を評価する。また、微分演算子 s の多項式の次数 n の値はその集積回路のデバイス構造を参考にして決めることが出来る。具体的な半導体基板の構造、例えば、ツインウェルやトリプルウェルや SOI や埋め込み層やトレンチ等の存在により、微分演算子 s の必要な次数は変わってくる。これらの構造や、作られる半導体集積回路の性能によりプロセス毎に応用分野が異なり、扱う周波数帯が決まってくるので、この微分演算子 s の次数はプロセス毎に決めて、それをデフォルトとしておくことも可能である。対象とする半導体集積回路のレイアウトから抽出したサブストレートモデルは、抵抗素子と容量素子とから構成されているので、それらのスタンプをエントリーしたアドミッタンスの値は、前述のように

【数 6】

$$\begin{cases} Y_{ij} = G_{ij} + c_{ij} s & (i = j) & \cdots \cdots (11) \\ Y_{ij} = -g_{ij} - c_{ij} s & (i \neq j) & \cdots \cdots (12) \end{cases}$$

となっている。従ってこの時点では、設定した微分演算子 s の多項式の次数が 2 次以上であっても、(10) 式の 0 次と 1 次の係数のみに値が入っている。つまり、(10) 式の係数は、

$$a_{0ij} = g_{ij} \quad \cdots \cdots (13)$$

$$a_{1ij} = c_{ij} \quad \cdots \cdots (14)$$

$$a_{2ij} = a_{3ij} = \cdots = 0 \quad \cdots \cdots (15)$$

となる。(10) 式のような微分演算子 s の多項式で表現されたアドミッタンスの値を扱うために、演算処理部 66 では、各々の次数の係数を行列の形で値を持っている。更に、 Y 行列の性質：

$$Y_{ij} = Y_{ji} \quad (i \neq j) \quad \cdots \cdots (16)$$

から、各々の係数行列は実際には上(下)三角行列として値を保持することも出来、これにより計算機の記憶領域を節約することが出来る。

【0037】

(ハ) 次に、ステップ S106 において、演算処理部 66 の有する内部ノ-

ド／外部ノード判別手段 6 0 3 により、消去するノードである内部ノードと残すノードである外部ノードを決める（判別する）。例えば、図 6 に示すように、半導体基板（サブストレータ）上に作られる MOS トランジスタのチャネル領域の電位を決めるノード①、p ウェル 7 2 2 の p^+ コンタクト領域 7 1 4 及び n ウェル 7 2 1 の n^+ コンタクト領域 7 1 1 とつながる部分のノード②、或いは、ポリシリコン、アルミニウム（A 1）やアルミニウム合金（A 1 - S i, A 1 - C u - S i）等から成る表面配線 7 0 1 と、図示を省略した層間絶縁膜等を介して容量性の結合をしている半導体基板（サブストレータ）部分のノード③等が残されるノードとなる。ノード①は、p ウェル 7 2 2 の内部に形成された n MOS トランジスタの n^+ ソース領域 7 1 2 と n^+ ドレイン領域 7 1 3 の間の、ゲート電極 7 0 2 直下のチャネル領域のノードである。図 6 では外部ノードを白抜きの丸で、内部ノードを黒塗りの丸で示している。図 6 の n ウェル 7 2 1 と p 基板 7 2 3 との間には p n 接合の接合容量からなる容量成分 c が存在する。また、n ウェル 7 2 1 と p ウェル 7 2 2 との間にも、p n 接合の接合容量からなる容量成分 c が存在する。n ウェル 7 2 1 の内部、p ウェル 7 2 2 の内部及び p 基板 7 2 3 の内部は抵抗成分（ $g = 1 / r$ ）のみで示されている。こうして、ステップ S 1 0 6 において、最終的に、半導体基板（サブストレータ）上に作られる半導体集積回路の構造と結びついているノード、即ち、半導体基板（サブストレータ）やウェルの電位を決めるために電源やグランドとつながる電極領域（高不純物密度領域）の部分、更に各種表面配線と層間絶縁膜等を介して容量性の結合を介してつながっている半導体基板（サブストレータ）部分等のノードが、「残される外部ノード」として判別される。ただし、入力データが階層構造を持っていたり、計算の効率化のために半導体基板（サブストレータ）部分を複数の部分に分割してこの処理を行なう場合、その過程では分割した部分間をつなげるノードが外部ノードになる。例えば、いま縮約操作を行なっているサブサーキットの外部ノードが、その縮約操作の段階での外部ノードになるということである。

【 0 0 3 8 】

（ト）次に、ステップ S 1 0 7 において、Y 行列を外部ノードの数の次元に縮約する。本発明の半導体集積回路解析装置のもう一つの特徴は、演算処理部 6 6

の有する行列縮約手段604が、Y行列の縮約を効率良く行なっている点にある。原理は、従来方法と同じである。ただし、ここでは内部ノード数の次元を持つ行列の逆行列を求めるのではなく、行列縮約手段604は、対応する行及び列にある要素を消去しながら内部ノードを一つずつ減らしていく方法をとっている。これにより各要素が微分演算子sの多項式で表現された行列の逆行列を求める必要がなくなり、計算の複雑さが増大せずに処理が進められる。行列縮約手段604におけるY行列の縮約は、次の(17)式の計算を必要な次元数分繰り返して行なわれる(ステップS109において、繰り返しの判定をし、ステップS104に戻るループを繰り返すことにより、繰り返して行なわれる。)。即ち、

【数7】

$$Y'_{ij} = Y_{ij} - \frac{Y_{jk} Y_{kj}}{Y_{kk}} \quad \dots\dots (17)$$

の計算を必要な次元数分繰り返す。ここで Y'_{ij} は縮約後のノードi, j間のアドミッタンスを表している。これは元のY行列の Y_{ij} , Y_{ik} , Y_{kj} から求まる。kは消去される内部ノードを示している。従って全体で、nノード有り、その内の、mノードが外部ノードであるような例の場合、このkについてm+1からnまで、上の計算を繰り返すと、縮約された、m次のY行列 Y'_{ij} が得られる。抵抗や容量のスタンプをY行列にエンタリーした時点では、

$$Y_{ij} = g_{ij} + c_{ij}s \quad \dots\dots (18)$$

のように、微分演算子sの1次の項までしか係数を持っていなかったが、この方法で縮約を進めていくことにより、以下のように高次の項まで係数を持つようになる。即ち、

【数 8】

$$Y'_{ij} = a_{0ij} + a_{1ij}s + a_{2ij}s^2 + a_{3ij}s^3 \dots$$

$$\frac{(a_{0in} + a_{1in}s + a_{2in}s^2 + a_{3in}s^3 \dots)(a_{0nj} + a_{1nj}s + a_{2nj}s^2 + a_{3nj}s^3 \dots)}{a_{0nn} + a_{1nn}s + a_{2nn}s^2 + a_{3nn}s^3 \dots}$$

$$= a_{0ij} + a_{1ij}s + a_{2ij}s^2 + a_{3ij}s^3 \dots$$

$$- \left[\frac{a_{0in} a_{0nj}}{a_{0nn}} + \frac{1}{a_{0nn}} \left(a_{0in} a_{1nj} + a_{0nj} a_{1in} - \frac{a_{0in} a_{0nj} a_{1nn}}{a_{0nn}} \right) s \right.$$

$$+ \frac{1}{a_{0nn}} \left(a_{0in} a_{2nj} + a_{1in} a_{1nj} + a_{0nj} a_{2in} - \frac{a_{0in} a_{0nj} a_{2nn}}{a_{0nn}} \right.$$

$$\left. \left. - \frac{a_{1nn}}{a_{0nn}} \left(a_{0in} a_{1nj} + a_{0nj} a_{1in} - \frac{a_{0in} a_{0nj} a_{1nn}}{a_{0nn}} \right) \right) s^2 \dots \right]$$

$$= a'_{0in} + a'_{1in}s + a'_{2in}s^2 + a'_{3in}s^3 \dots \dots \dots (19)$$

ここで、

【数 9】

$$a'_{0in} = a_{0in} - \frac{1}{a_{0nn}} a_{0in} a_{0nj} \quad \dots\dots (20)$$

$$a'_{1ij} = a_{1ij} - \frac{1}{a_{0nn}} \left\{ a_{0in} a_{1nj} + a_{0in} a_{1nj} - \frac{a_{1nn}}{a_{0nn}} a_{0in} a_{0nj} \right\} \dots\dots (21)$$

$$a'_{2ij} = a_{2ij} - \frac{1}{a_{0nn}} \left\{ a_{0in} a_{2nj} + a_{1in} a_{1nj} + a_{2in} a_{0nj} \right. \\ \left. - \frac{a_{1nn}}{a_{0nn}} (a_{0in} a_{1nj} + a_{1in} a_{0nj}) - \left(\frac{a_{2nn}}{a_{0nn}} - \frac{a_{1nn}^2}{a_{0nn}^2} \right) a_{0in} a_{0nj} \right\} \\ \dots\dots (22)$$

$$a'_{3ij} = a_{3ij} - \frac{1}{a_{0nn}} \left\{ a_{0in} a_{3nj} + a_{1in} a_{2nj} + a_{2in} a_{1nj} + a_{3in} a_{0nj} \right. \\ \left. - \frac{a_{1nn}}{a_{0nn}} (a_{0in} a_{2nj} + a_{1in} a_{1nj} + a_{2in} a_{0nj}) \right. \\ \left. - \left(\frac{a_{2nn}}{a_{0nn}} - \frac{a_{1nn}^2}{a_{0nn}^2} \right) (a_{0in} a_{1nj} + a_{1in} a_{0nj}) \right. \\ \left. - \left(\frac{a_{3nn}}{a_{0nn}} - 2 \frac{a_{2nn} a_{1nn}}{a_{0nn}^2} + \frac{a_{1nn}^3}{a_{0nn}^3} \right) a_{0in} a_{0nj} \right\} \\ \dots\dots (23)$$

である。各係数を変数として計算を繰り返すことで、特に微分演算子 s の多項式であることを意識せずにアドミッタンスの計算が出来る。微分演算子 s の多項式の次数をより高いものに設定しておくことにより、より精度の高い計算が実現出来る。上の式から微分演算子 s の n 次までを扱うとき、計算前後の式の形も途中

の計算でも微分演算子 s の n 次までで表現出来ていることがわかる。これは計算の過程で多くの記憶領域を新たに必要としないという利点につながる。また、微分演算子 s の多項式の次元は初期設定の段階で指定されるが、その値を上限として途中の段階では適宜次元数を変えることにより、記憶容量、計算時間とも効率化することが出来る。外部ノード数の次元まで縮約された行列は、ステップ S 1 0 8 において、そのまま行列の形で残しておく（スタンプを作成する）。こうすることにより、次の階層の縮約の処理において、前の段階の結果をサブサーキットのスタンプとして利用出来る。これは、計算の効率を向上出来る。ここまでの処理は、ステップ S 1 0 9 において、繰り返しの判定をし、ステップ S 1 0 4 に戻るループを繰り返すことにより、入力データの階層構造の深さに応じて、繰り返し行なわれる。半導体基板上のデバイスと同じ階層の深さまで縮約操作が済んだ段階で次のステップに移る。

【 0 0 3 9 】

（チ）次に、ステップ S 1 1 0 において、演算処理部 6 6 に内蔵された出力形態決定手段 6 0 5 は、計算結果の出力形式を決定する。ここまでの計算結果は係数の配列になっている。これは必要に応じて、出力部 6 1 から、複数の形式で回路シミュレータに受け渡すことが出来る。出力結果は、初期設定の指示に従って、次のように取扱う：

1) 抵抗網に還元する方法（ステップ S 1 1 1）。これは、計算結果が 0 次の項の係数しか持たないか、或いは 1 次以上の項の係数があっても解析したい周波数ではその影響が小さいと判断される場合に有効である；

2) 抵抗素子と容量素子から構成される RC 回路網に還元する方法（ステップ S 1 1 2）。これは、計算結果が 1 次の項の係数までしか持たないか、或いは 2 次以上の項の係数があっても解析したい周波数ではその影響が小さいと判断される場合に有効である；

3) 多端子回路網の回路行列として扱う方法（ステップ S 1 1 3）。これは、計算結果が 2 次以上の項の係数が 0 でなく、解析したい周波数ではその影響が無視出来ないと判断される場合に有効である。Y 行列を、そのまま多端子回路網として表現しても良いが、必要に応じて、S パラメータ等の他の回路行列に変換し

て多端子回路網として表現することも出来る；

4) フィルタ回路としてRC或いはRCL回路網に還元する方法（ステップS113）。これは、計算結果が2次以上の項の係数が0でなく、解析したい周波数ではその影響が無視出来ないと判断される場合の他の方法として有効である。このためにまず微分演算子 s の多項式をその影響が無視出来る高次の項を無視して、低次の項までを判断する。そしてそれを使って n 次のフィルタ回路としてRC或いはRCL回路に還元する。フィルタ回路の一例を図3を示す。このフィルタ回路のノード i, j 間のアドミッタンスは

【数10】

$$Y_{ij} = \frac{g_1 g_2 + (g_1 c_2 + g_2 c_1) s + c_1 c_2 s^2}{(g_1 + g_2) + (c_1 + c_2) s} \quad \dots\dots (24)$$

ここで $g_1 = 1/r_1$, $g_2 = 1/r_2$ である。計算結果は、前述の(10)式の形となる。(10)式の各係数を比較して、それぞれの素子値が決定される。この場合、

【数 1 1】

$$R_1 = \frac{2a_{2ij}}{-a_{1ij}^2 + 4a_{0ij}a_{2ij} \pm a_{1ij} \sqrt{a_{1ij}^2 - 12a_{0ij}a_{2ij}}} \dots\dots (25)$$

$$R_2 = \frac{-a_{1ij}^2 + 2a_{0ij}a_{2ij} \pm a_{1ij} \sqrt{a_{1ij}^2 - 12a_{0ij}a_{2ij}}}{-a_{0ij}a_{1ij}^2 + 4a_{0ij}^2a_{2ij} \pm a_{0ij}a_{1ij} \sqrt{a_{1ij}^2 - 12a_{0ij}a_{2ij}}} \dots\dots (26)$$

$$C_1 = \frac{-a_{1ij}^3 + 4a_{0ij}a_{1ij}a_{2ij} \pm a_{1ij}^2 \sqrt{a_{1ij}^2 - 12a_{0ij}a_{2ij}}}{-4a_{0ij}^2 - a_{1ij}^2 + 4a_{0ij}a_{2ij} \pm a_{1ij} \sqrt{a_{1ij}^2 - 12a_{0ij}a_{2ij}}} \dots (27)$$

$$C_2 = -C_1 \dots\dots (28)$$

となる。各々の出力形態は、入力部 63 を介して、解析者が指示することにより、出力形態決定手段 605 が決定する。このとき、上述した微分演算子 s の多項式の次数の決め方と同様に、解析する周波数の値とモデルの許容精度のレベルから選択したり、プロセス毎にデフォルトの形態を決めておくことも出来る。

【0040】

(リ) 最後に、ステップ S115 おいて、この計算結果を最初に読み込んだ入力データの形式、つまり回路シミュレータの入力データの形式であるネットリストに還元して、出力部 61 から出力する。また、表示部 62 でモニターすることが出来る。この出力データとしてのネットリストには、縮約したサブストレートモデルに相当する部分と、最初の入力データにあった半導体基板上の素子情報に関するものと、回路シミュレーションの解析実行に必要な情報が含まれている。

【0041】

図 4 に本発明の効果を示す。この例題回路の場合、始め、図 5 のように半導体基板中に設けられた 3 次元メッシュが構成するサブストレートモデルを、図 6 に

示す外部ノードの数まで縮約したものである。この図4の結果は、始めに約7500ノードあったものを、5ノードに縮約した例である。図4は、その内のある2点間のアドミッタンスの値の実数部を周波数の変数としてプロットしたものである。図4の各曲線は、それぞれ0次の項まで、2次の項まで、4次の項まで表現したものの計算結果を表している。図4に示すグラフより、行列の縮約操作をしても、精度良く、半導体基板（サブストレート）部分をモデル化出来ていることが確認出来る。特に、4次の項まで計算すれば、縮約しないで計算した場合と、実質的に同程度の解析結果が得られることが分かる。

【0042】

以上の説明では、3次元的に表現されたサブストレートモデルを用いて説明しているが、抵抗素子と容量素子とから構成される配線の多段モデルについても同様に扱うことが出来る。また、微分演算子 s の多項式で扱っているが、これを、以下の(29)式で示すような有理式の形を使って表すことも出来る。

【0043】

【数12】

$$Y_{ij} = \frac{a_{0ij} + a_{1ij}s + a_{2ij}s^2 + a_{3ij}s^3 \dots}{b_{0ij} + b_{1ij}s + b_{2ij}s^2 + b_{3ij}s^3 \dots} \dots\dots (29)$$

ただしその場合、扱う変数の数が増えてしまう場合もある。

【0044】

(半導体集積回路解析方法のプログラムを記録した記録媒体)

なお、上記の本発明の半導体集積回路解析方法を実現するためのプログラムはコンピュータ読み取り可能な記録媒体に保存しておいても良い。この記録媒体をコンピュータシステムによって読み込ませ、図1に示すプログラム記憶部64に格納し、このプログラムにより、演算処理部66を制御し、本発明の半導体集積回路解析方法を実現することも出来る。ここで、記録媒体とは、例えばコンピュータの外部メモリ装置、磁気ディスク、光ディスク、光磁気ディスク、磁気テープなどのプログラムを記録することが出来るような記録媒体などが含まれる。

【0045】

(半導体集積回路の製造方法)

本発明の半導体集積回路解析方法を用いれば、LSI、VLSI、ULSI、GSI等の大規模な半導体集積回路における表面配線等に対応して半導体基板の内部に発生する寄生素子の影響の解析を、短時間で正確に実行することが可能となる。従って、本発明の半導体集積回路解析方法の結果を図7に示すように、回路シミュレーションに用い、その結果を利用して、大規模な半導体集積回路を製造することが出来る。即ち、本発明の半導体集積回路の製造方法の各工程の流れは以下のようなになる。

【0046】

(a) まず、半導体集積回路のサブストレータ解析に先立ち、図7のステップS301においてプロセスシミュレーションが実行される。ステップS301のプロセスシミュレーションによって得られた半導体集積回路を構成するための半導体基板中の不純物や欠陥の分布等のデータは、その表面の半導体集積回路の構造パラメータと共に、デバイスシミュレータに入力される。ステップS301のプロセスシミュレーションにより、半導体基板中の、例えば、ツインウェル構造、トリプルウェル構造、SOI構造、埋め込み層構造、トレンチ構造等の構造パラメータが決定される。

【0047】

(b) ステップS302におけるデバイスシミュレーションを行なう際には、プロセスシミュレーションで得られた素子構造と不純物分布等の結果と同時に、印加電圧、電流などの電氣的な境界条件を与えるための入力データが加えられる。ステップS302におけるデバイスシミュレーションにより、電流電圧特性等の半導体集積回路を構成するデバイスの電氣的特性が得られる。

【0048】

(c) 更に、ステップS303において、ステップS301のプロセスシミュレーションにより決定された半導体基板中の構造パラメータを、回路シミュレーションの入力データの形式、即ち、ネットリストとして、半導体集積回路解析装置に読み込ませる。そして、前述したように、サブストレータモデルの回路網を回路行列の形に変換し、微分演算子 s の多項式を得る。そして、図1に示した内部

ノード／外部ノード判別手段 6 0 3 により最終的に、半導体基板（サブストレート）上に作られる半導体集積回路の構造と結びついているノードのみを外部ノードとして、判別し、ノードの数を縮約する。そして、この外部ノードの数の次元に、Y 行列を縮約する。そして、この計算結果を、回路シミュレータの入力データの形式であるネットリストに還元し、回路シミュレータへ出力する。また、代表的なツインウェル構造、トリプルウェル構造、SOI 構造、埋め込み層構造、トレンチ構造等に対応した半導体基板のネットリストはデフォルトとして、図 1 に示すデータ記憶部にデータベースとして保存しておき、次の解析に用いることが可能である。

【 0 0 4 9 】

（d）回路シミュレータは、ステップ S 3 0 4 において、半導体集積回路解析装置から得られたネットリストを基に、半導体基板中の寄生素子の配線容量に与える影響等を計算する。更に、デバイスシミュレーションから得られた電気的特性を基に、回路シミュレーションを実行する。この結果、半導体基板上の表面配線の浮遊容量によるゲート遅延の効果やこれに起因した雑音特性等を含めた種々の回路特性を得る。

【 0 0 5 0 】

（e）次にステップ S 3 0 5 において、ステップ S 3 0 2 のデバイスシミュレーション又はステップ S 3 0 4 の回路シミュレーションにより、得られた電気的特性や回路特性が作ろうとしている所望の半導体集積回路の電気的特性や回路特性特性になるかどうかを評価・検討する。所望の電気的特性や回路特性特性であれば実際の半導体集積回路の製造工程に取りかかる。

【 0 0 5 1 】

（f）ステップ S 3 0 5 の評価により、所望の半導体集積回路の電気的特性や回路特性であれば、ステップ S 3 0 6 において、実際の半導体集積回路の製造工程に取りかかる。ステップ S 3 0 6 においては、熱拡散やイオン注入工程等の所定の不純物ドーピング工程で、半導体基板に対し不純物をドーピングする。更に、フォトリソグラフィ工程やドライエッチング工程等の形状加工工程で半導体基板やその表面の薄膜の加工等を行なう。更に、エピタキシャル成長、CVD、真

空蒸着、スパッタリング等の成膜工程等を含んでも良い。これら、所定の工程の組み合わせからなる一連の工程である半導体集積回路製造プロセスを実行し、目的とした半導体集積回路を得る。もし、ステップ S 3 0 5 の評価により、所望の特性にならないときには、考えた製造工程では作りたい素子は作れないので、製造工程の条件を変更したり、工程の順番など手順そのものを変更し再度、ステップ S 3 0 1、若しくは

ステップ S 3 0 2 に戻る。ステップ S 3 0 1 に戻った場合は、更にこのステップ S 3 0 1 のプロセスシミュレーションの結果を入力データとして、ステップ S 3 0 2 のデバイスシミュレーション、ステップ S 3 0 3 の半導体集積回路解析及びステップ S 3 0 4 の回路シミュレーションを行なう。更に、ステップ S 3 0 6 においては、実際の半導体集積回路の製造工程の結果得られた現実の半導体集積回路の特性を測定する。

【 0 0 5 2 】

(g) そして、ステップ S 3 0 7 において、ステップ S 3 0 6 において測定された半導体集積回路の特性が当初の要求仕様を満足するか否か評価する。この評価により実際に製造された半導体集積回路の特性が要求仕様を満足しなければ、ステップ S 3 0 7 において設計変更がなされ、ステップ S 3 0 1 に戻り、再度プロセスシミュレーションを行なう。そして、このプロセスシミュレーションの結果を入力データとして、ステップ S 3 0 2 のデバイスシミュレーション、ステップ S 3 0 3 の半導体集積回路解析及びステップ S 3 0 4 の回路シミュレーションを行なうという一連の手順からなるループが繰り返される。

【 0 0 5 3 】

L S I 等の半導体集積回路の分野では、研究（設計）から開発までの期間の短さを競っている。このような半導体産業における競争の現実を考慮すれば、半導体集積回路の解析やシミュレーション期間はなるべく短期、且つ正確に行なわなければならない。本発明によれば高精度な半導体集積回路の解析及び回路シミュレーションが必要な複雑な半導体集積回路の研究（設計）から開発までのループの周期が飛躍的に短縮される。

【 0 0 5 4 】

【発明の効果】

以上説明したように本発明の半導体集積回路解析装置、半導体集積回路解析方法及び半導体集積回路解析方法を実行するためのプログラムを記録した記録媒体によれば、半導体基板（サブストレート）を伝わる雑音の解析のためにレイアウトデータから抽出したサブストレートモデルをY行列として表現し、それを等価或いは近似した小規模なデータに効率良く変換し、短時間で正確な半導体基板中に内在する寄生素子の解析が出来る。

【0055】

さらに、本発明の半導体集積回路解析装置、半導体集積回路解析方法及び半導体集積回路解析方法を実行するためのプログラムを記録した記録媒体によって得られた結果を、回路シミュレーションの入力データとすることにより、それらの寄生素子の回路特性の与える影響を正確、且つ効率的に行なうことが出来る。

【0056】

従って、本発明の半導体集積回路解析装置、半導体集積回路解析方法及び半導体集積回路解析方法を実行するためのプログラムを記録した記録媒体によれば、大規模な半導体集積回路においても、ゲート電極や表面配線等の表面構造に対応した半導体基板の内部に発生する寄生素子の影響の解析を、短時間で正確に実行し、高性能な半導体集積回路を短時間で開発出来る。

【図面の簡単な説明】

【図1】

本発明の半導体集積回路解析装置の基本構成を示す図である。

【図2】

本発明の半導体集積回路解析方法を説明するためのフローチャートである。

【図3】

計算結果をフィルタ回路で表現する例を示す図である。

【図4】

本発明の効果を示す図である。

【図5】

縮約前のサブストレートモデルを説明するための図である。

【図 6】

本発明における外部ノードと内部ノードの判別の処理を説明するための図である。

【図 7】

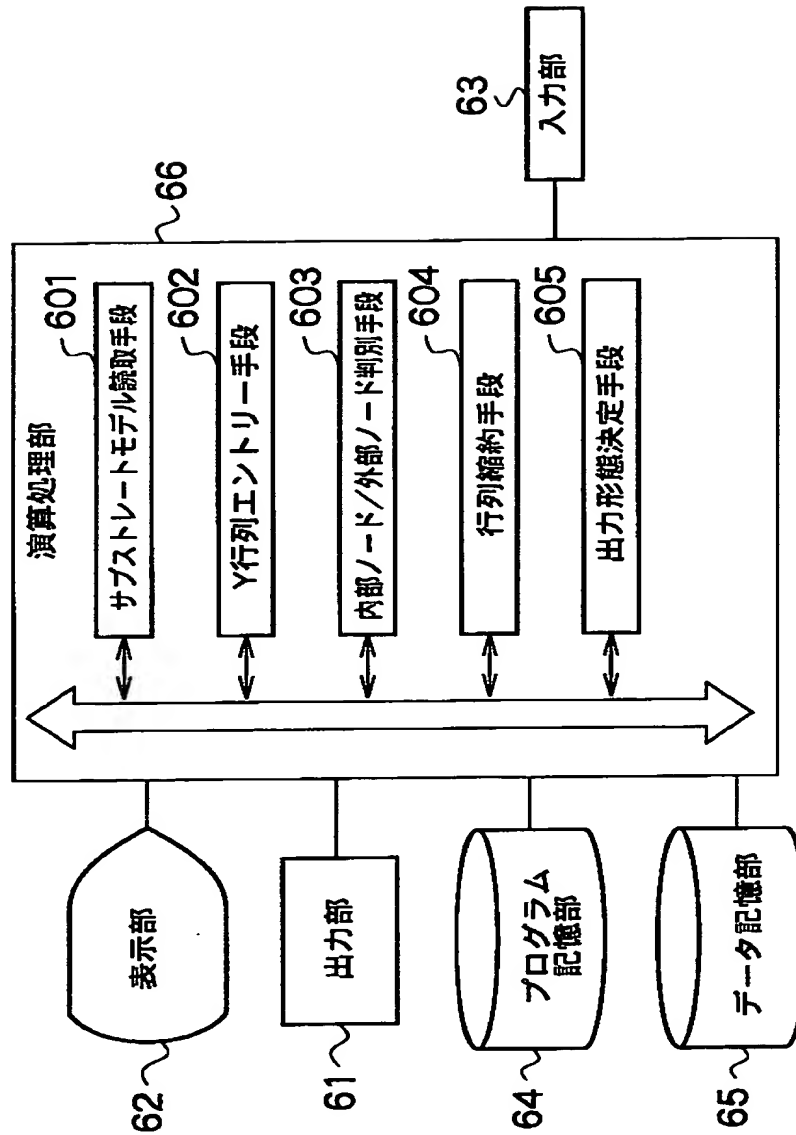
本発明の半導体集積回路解析方法を用いた半導体集積回路の製造方法を説明するためのフローチャートである。

【符号の説明】

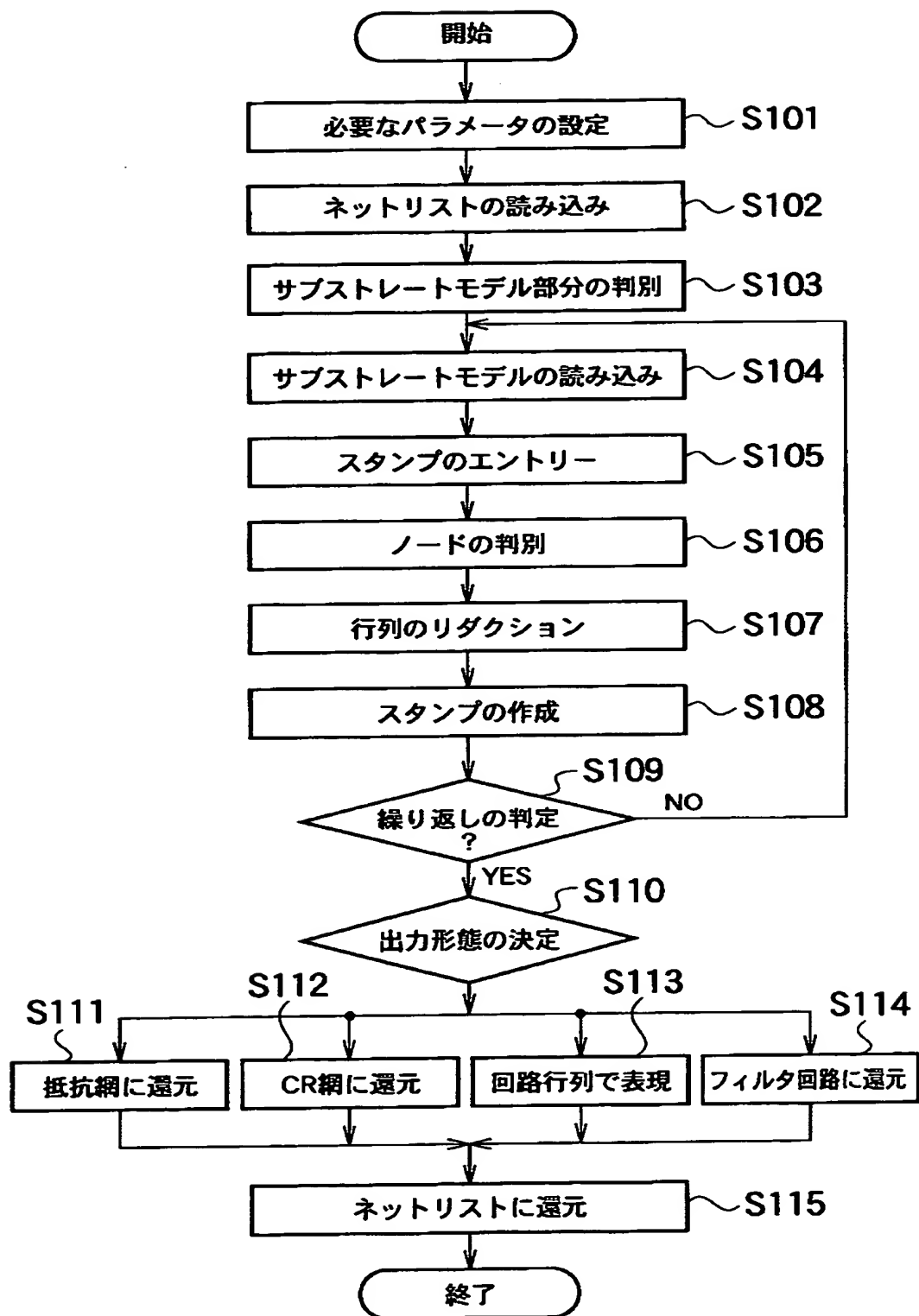
- 6 1 出力部
- 6 2 表示部
- 6 3 入力部
- 6 4 プログラム記憶部
- 6 5 データ記憶部
- 6 6 演算処理部
- 6 0 1 サブストレートモデル読取手段
- 6 0 2 Y行列エントリー手段
- 6 0 3 内部ノード／外部ノード判別手段
- 6 0 4 行列縮約手段
- 6 0 5 出力形態決定手段
- 7 0 1 表面配線
- 7 0 2 ゲート電極
- 7 1 1 n^+ コンタクト領域
- 7 1 2 n^+ ソース領域
- 7 1 3 n^+ ドレイン領域
- 7 1 4 p^+ コンタクト領域
- 7 2 1 n ウェル
- 7 2 2 p ウェル
- 7 2 3 p 基板

【書類名】 図面

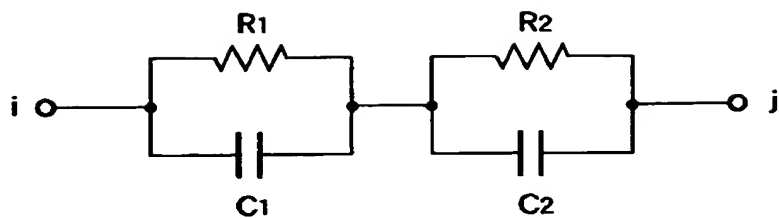
【図1】



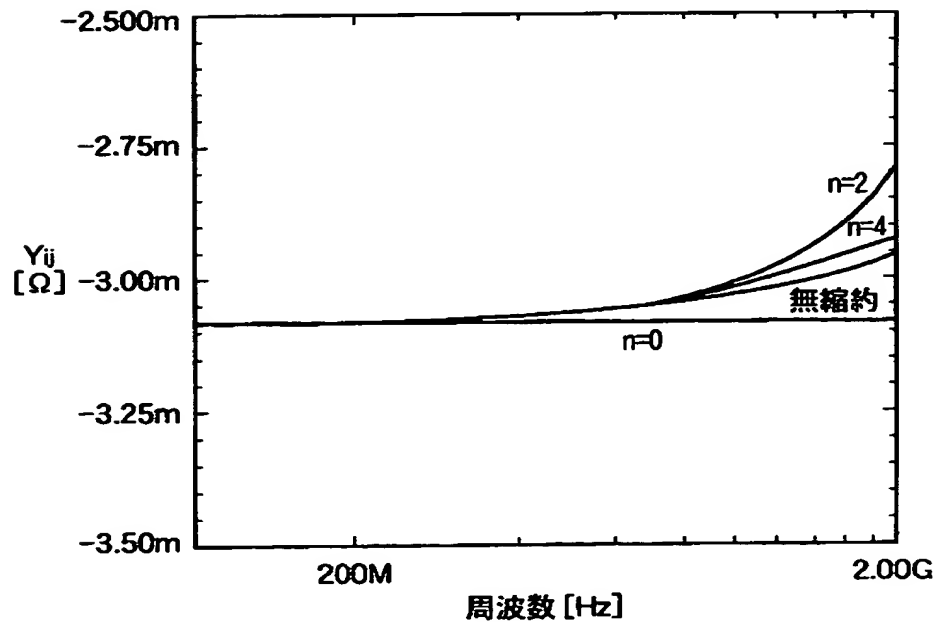
【図2】



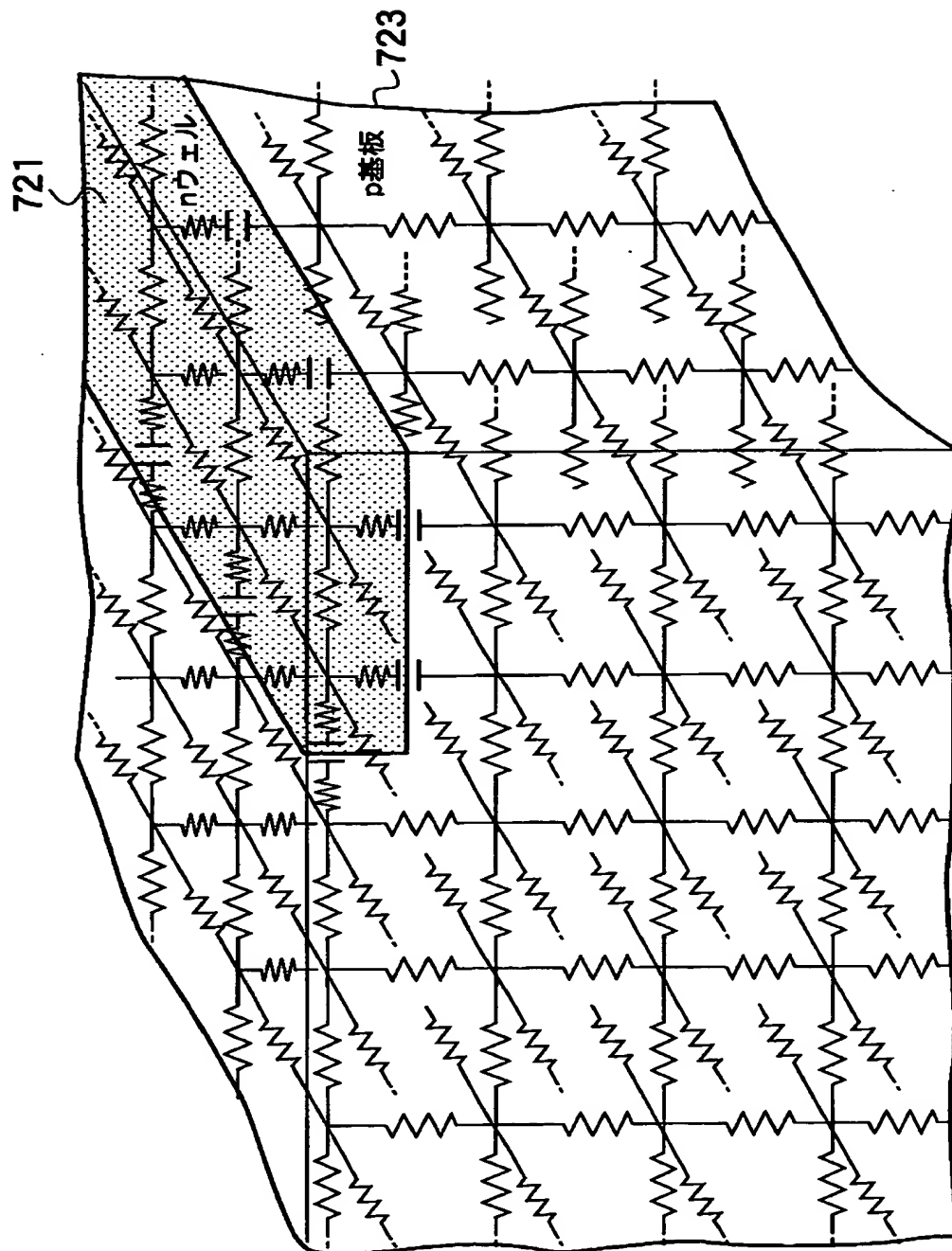
【図 3】



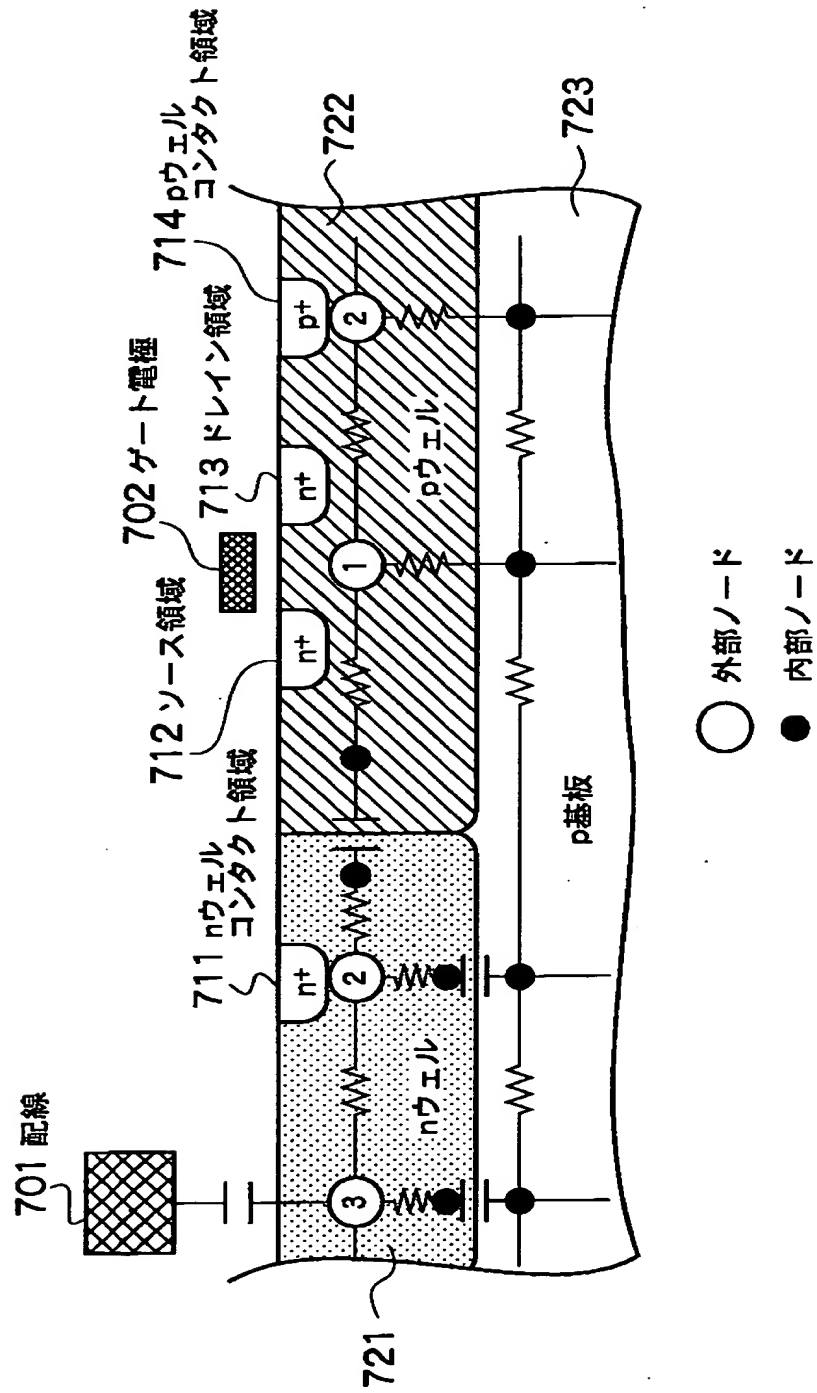
【図 4】



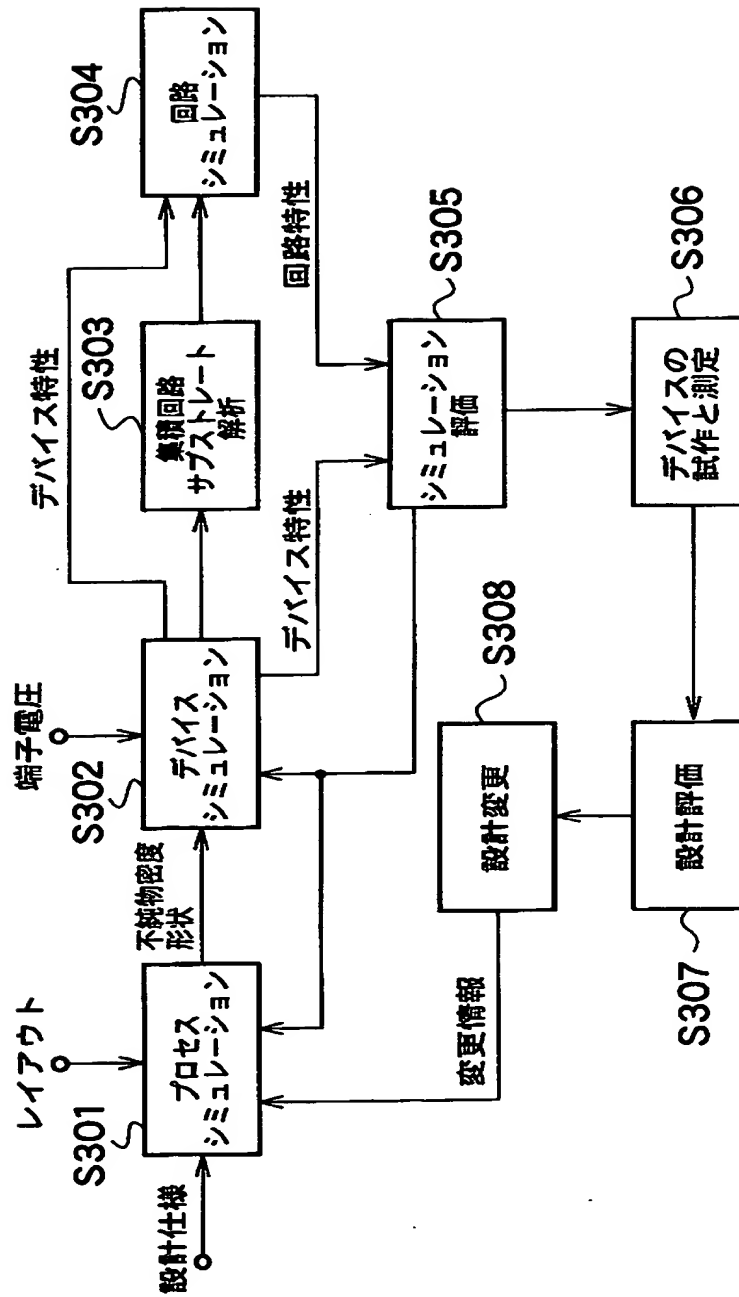
【図 5】



【図 6】



【图7】



【書類名】 要約書

【要約】

【課題】 半導体基板に内在する抵抗及び容量から成る回路網を、ノード数を縮約し、効率的に解析する。

【解決手段】 サブストレートモデル読取手段 6 0 1、Y 行列エントリー手段 6 0 2、内部ノード／外部ノード判別手段 6 0 3、行列縮約手段 6 0 4、出力形態決定手段 6 0 5 を有する。サブストレートモデル読取手段 6 0 1 は、基板中の 3 次元メッシュが構成する回路網モデルを読み取る。Y 行列エントリー手段 6 0 2 は、読み取った回路網モデルが構成する Y 行列の各要素を、微分演算子 s の多項式で表現する。内部ノード／外部ノード判別手段 6 0 3 は、回路網モデルのノードの内、消去すべき内部ノードと残すべき外部ノードの判別をする。行列縮約手段 6 0 4 は、内部ノードを消去しながら、Y 行列の縮約処理を実行する。出力形態決定手段 6 0 5 は、計算結果の出力形式を決定する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町 7 2 番地
氏 名	株式会社東芝